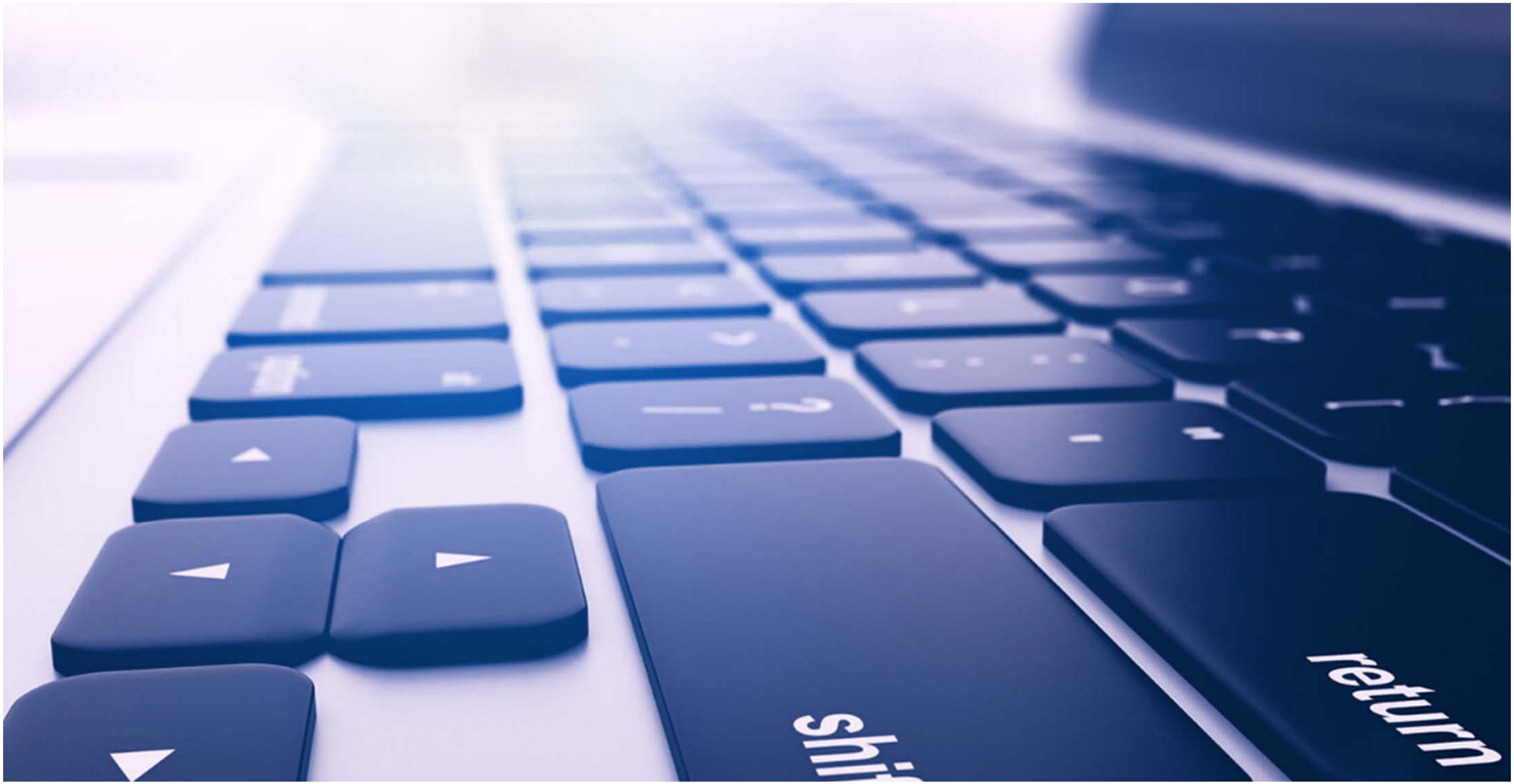
معماری کامپیوتر

جلسه هشتم: بخش چهارم طراحی کامپیوتر پایه

فصل پنجم کتاب موریس مانو – طراحی و ساختار کامپیوتر پایه

سیکل وقفه – طراحی مدارات کامپیوتر پایه

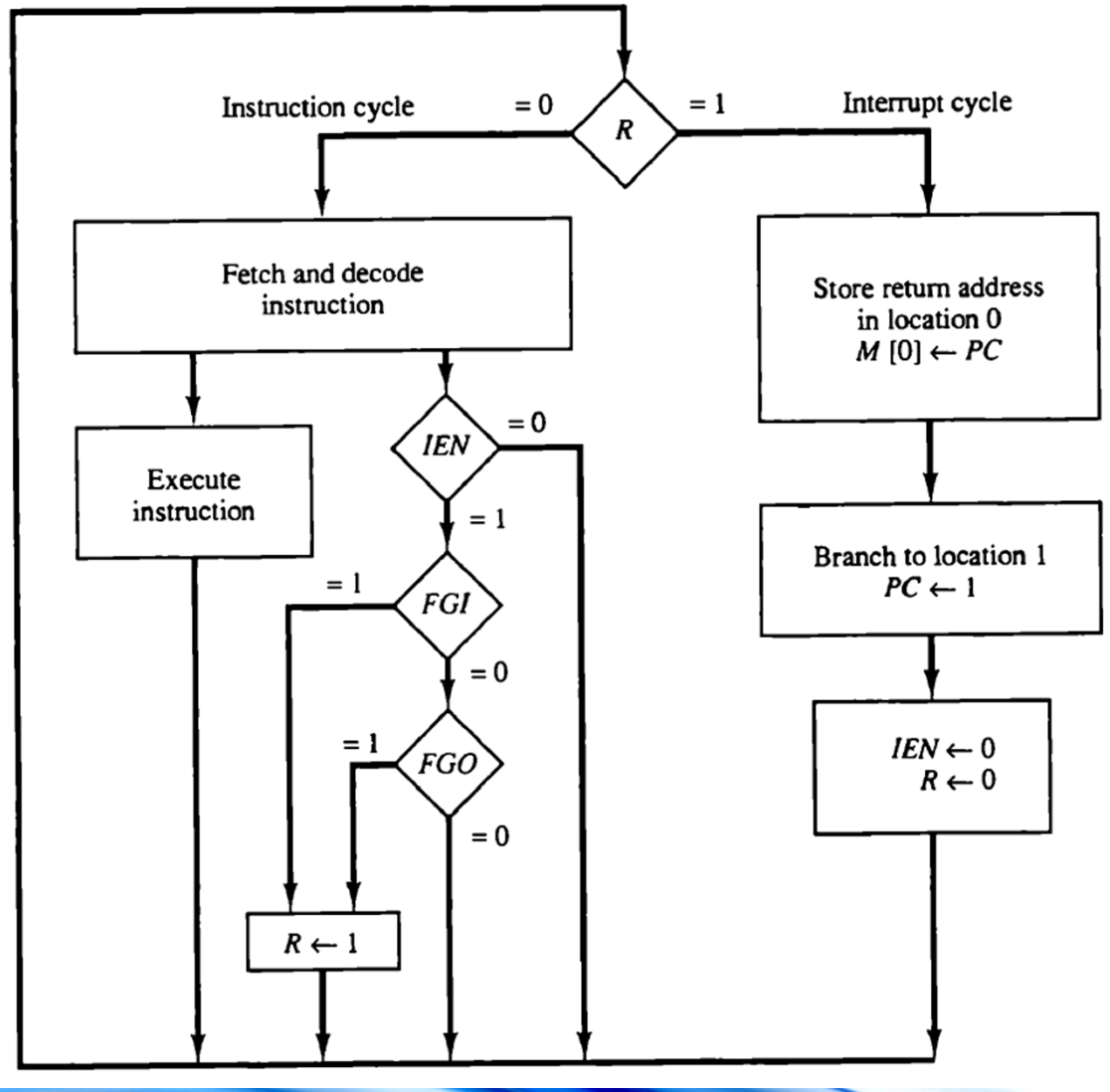


- وقفه در مقابل چک کردن مداوم
- فلوچارت وقفه
- زمانبندی وقفه
- فلوچارت کامل
- مرور بر مراحل و دستورات
  - واکشی ، دیکد و وقفه
  - مراجعه به حافظه
  - عملیات ثبات
  - ورودی خروجی
- طراحی واحد کنترل
  - طراحی AR
  - کنترل فلیپ فلاپ IEN
  - کنترل گذرگاه داده
  - مدار کنترل آکومولاتور AC
  - یک واحد از محاسبه و منطق

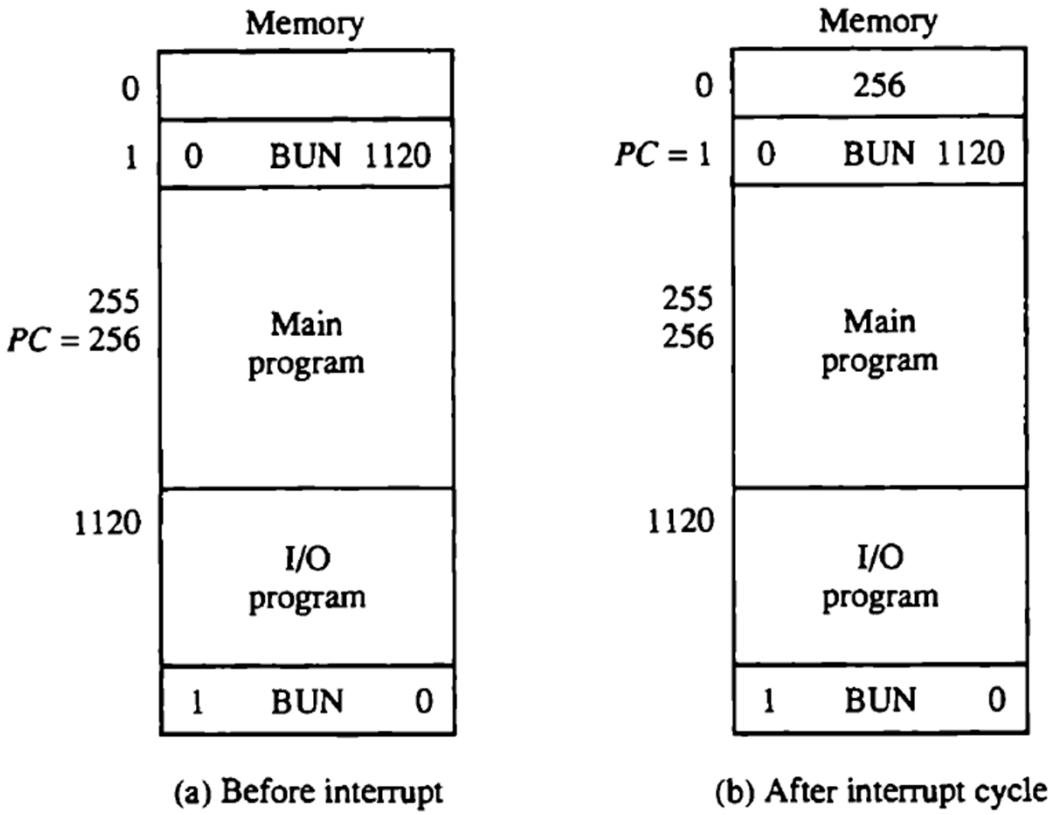
وقفه در مقابل Polling

- سازوکـــار Polling غیر کارآمد است
- برای استفاده از وقفه باید تغییر در ساختار واکشی ایجاد کرد
- وقفه سیکل عادی برنامه را متوقف می کند
- وقفه (معمولا) برای عملیات ورودی خـــروجی استفاده می شود

فلوچارت وقفه



مثال از سیکل وقفه



تغییر زمانبندی در سیکل وقفه

$$T_0'T_1'T_2'(IEN)(FGI + FGO): \quad R \leftarrow 1$$

$$RT_0: \quad AR \leftarrow 0, \quad TR \leftarrow PC$$
$$RT_1: \quad M[AR] \leftarrow TR, \quad PC \leftarrow 0$$
$$RT_2: \quad PC \leftarrow PC + 1, \quad IEN \leftarrow 0, \quad R \leftarrow 0, \quad SC \leftarrow 0$$

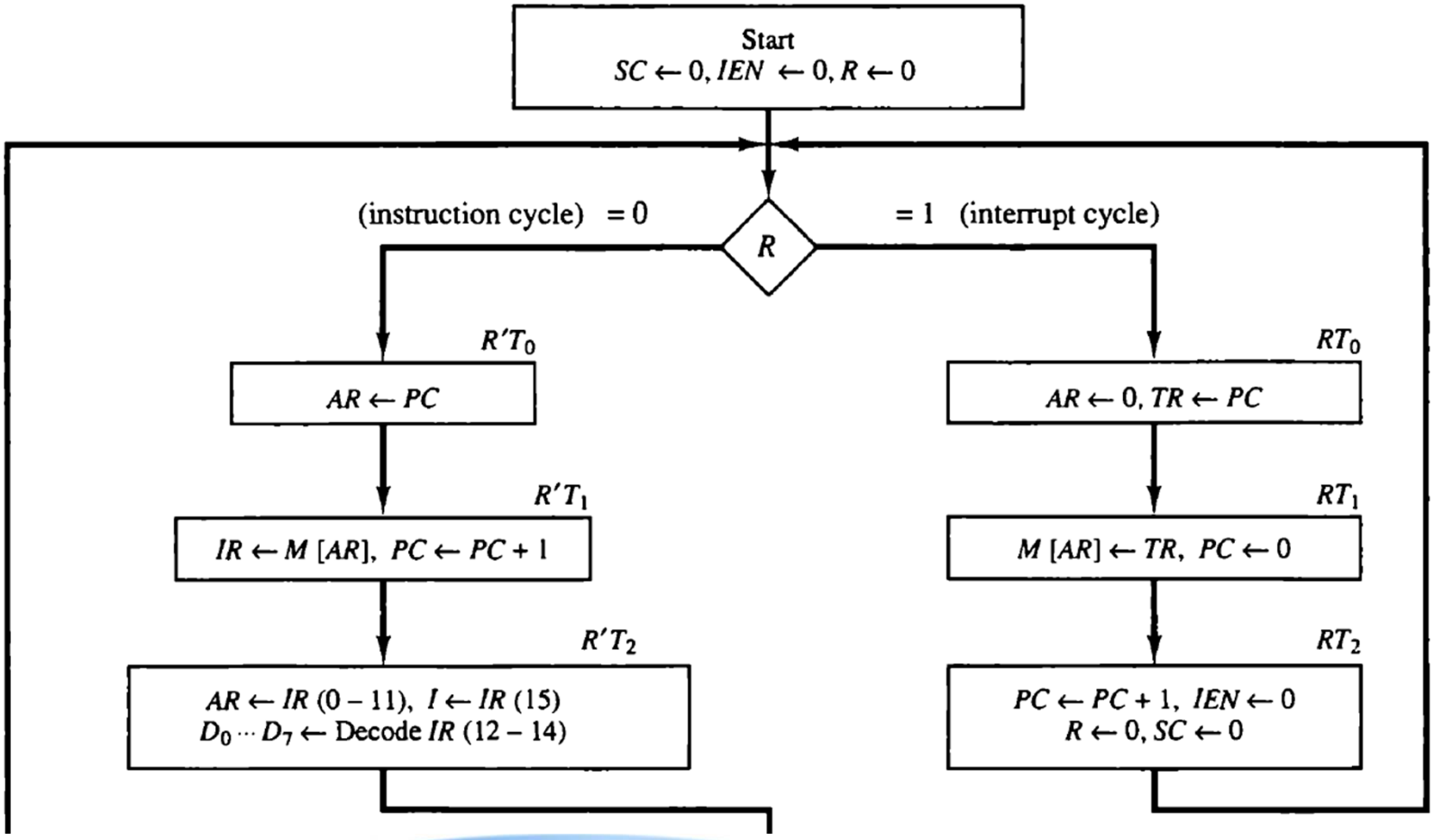
طراحی کامپیوتر پایه

5-9 Design of Basic Computer

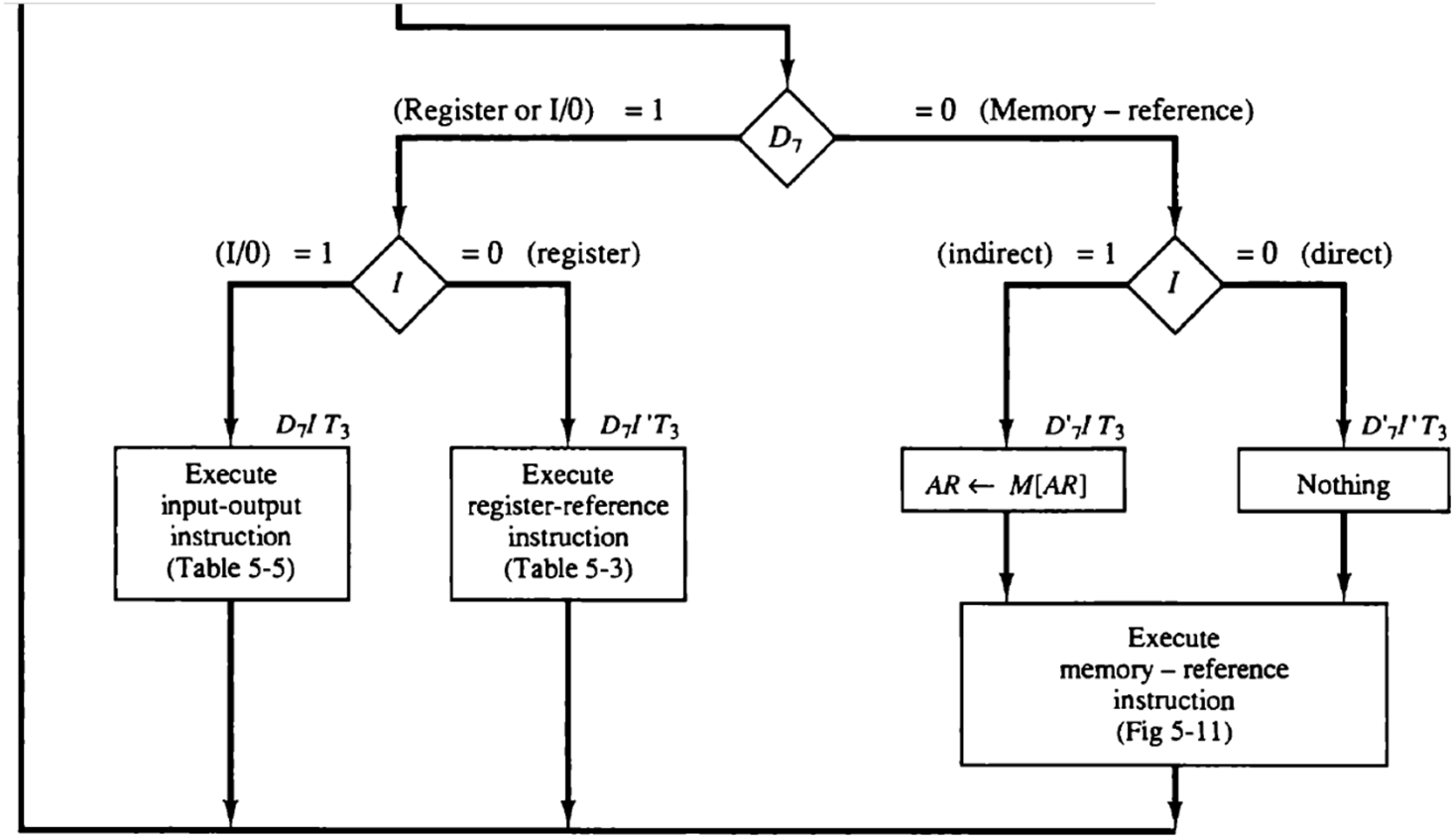
The basic computer consists of the following hardware components:

1. A memory unit with 4096 words of 16 bits each
2. Nine registers: *AR*, *PC*, *DR*, *AC*, *IR*, *TR*, *OUTR*, *INPR*, and *SC*
3. Seven flip-flops: *I*, *S*, *E*, *R*, *IEN*, *FGI*, and *FGO*
4. Two decoders: a 3 × 8 operation decoder and a 4 × 16 timing decoder
5. A 16-bit common bus
6. Control logic gates
7. Adder and logic circuit connected to the input of *AC*

فلوچـــارت کامل



فلوچـــارت کامل



مرور بر دستورات
واکشی – دیکد – وقفـــه

Fetch	$R'T_0$:	$AR \leftarrow PC$
	$R'T_1$:	$IR \leftarrow M[AR]$, $PC \leftarrow PC + 1$
Decode	$R'T_2$:	$D_0, \ldots, D_7 \leftarrow$ Decode $IR(12\text{–}14)$,
		$AR \leftarrow IR(0\text{–}11)$, $I \leftarrow IR(15)$
Indirect	$D_7'IT_3$:	$AR \leftarrow M[AR]$
Interrupt:		
$T_0'T_1'T_2'(IEN)(FGI + FGO)$:		$R \leftarrow 1$
	RT_0:	$AR \leftarrow 0$, $TR \leftarrow PC$
	RT_1:	$M[AR] \leftarrow TR$, $PC \leftarrow 0$
	RT_2:	$PC \leftarrow PC + 1$, $IEN \leftarrow 0$, $R \leftarrow 0$, $SC \leftarrow 0$

مرور بر دستورات
مــراجــعه به حافظه

Memory-reference:

AND	D_0T_4:	$DR \leftarrow M[AR]$
	D_0T_5:	$AC \leftarrow AC \wedge DR, \quad SC \leftarrow 0$
ADD	D_1T_4:	$DR \leftarrow M[AR]$
	D_1T_5:	$AC \leftarrow AC + DR, \quad E \leftarrow C_{out}, \quad SC \leftarrow 0$
LDA	D_2T_4:	$DR \leftarrow M[AR]$
	D_2T_5:	$AC \leftarrow DR, \quad SC \leftarrow 0$
STA	D_3T_4:	$M[AR] \leftarrow AC, \quad SC \leftarrow 0$
BUN	D_4T_4:	$PC \leftarrow AR, \quad SC \leftarrow 0$
BSA	D_5T_4:	$M[AR] \leftarrow PC, \quad AR \leftarrow AR + 1$
	D_5T_5:	$PC \leftarrow AR, \quad SC \leftarrow 0$
ISZ	D_6T_4:	$DR \leftarrow M[AR]$
	D_6T_5:	$DR \leftarrow DR + 1$
	D_6T_6:	$M[AR] \leftarrow DR, \quad \text{if } (DR = 0) \text{ then } (PC \leftarrow PC + 1), \quad SC \leftarrow 0$

مرور بر دستورات
عملیات ثبات ها

Register-reference:

$D_7 I' T_3 = r$ (common to all register-reference instructions)

$IR(i) = B_i$ $(i = 0, 1, 2, \ldots, 11)$

	r:	$SC \leftarrow 0$
CLA	rB_{11}:	$AC \leftarrow 0$
CLE	rB_{10}:	$E \leftarrow 0$
CMA	rB_9:	$AC \leftarrow \overline{AC}$
CME	rB_8:	$E \leftarrow \overline{E}$
CIR	rB_7:	$AC \leftarrow \text{shr } AC, \quad AC(15) \leftarrow E, \quad E \leftarrow AC(0)$
CIL	rB_6:	$AC \leftarrow \text{shl } AC, \quad AC(0) \leftarrow E, \quad E \leftarrow AC(15)$
INC	rB_5:	$AC \leftarrow AC + 1$
SPA	rB_4:	If $(AC(15) = 0)$ then $(PC \leftarrow PC + 1)$
SNA	rB_3:	If $(AC(15) = 1)$ then $(PC \leftarrow PC + 1)$
SZA	rB_2:	If $(AC = 0)$ then $PC \leftarrow PC + 1)$
SZE	rB_1:	If $(E = 0)$ then $(PC \leftarrow PC + 1)$
HLT	rB_0:	$S \leftarrow 0$

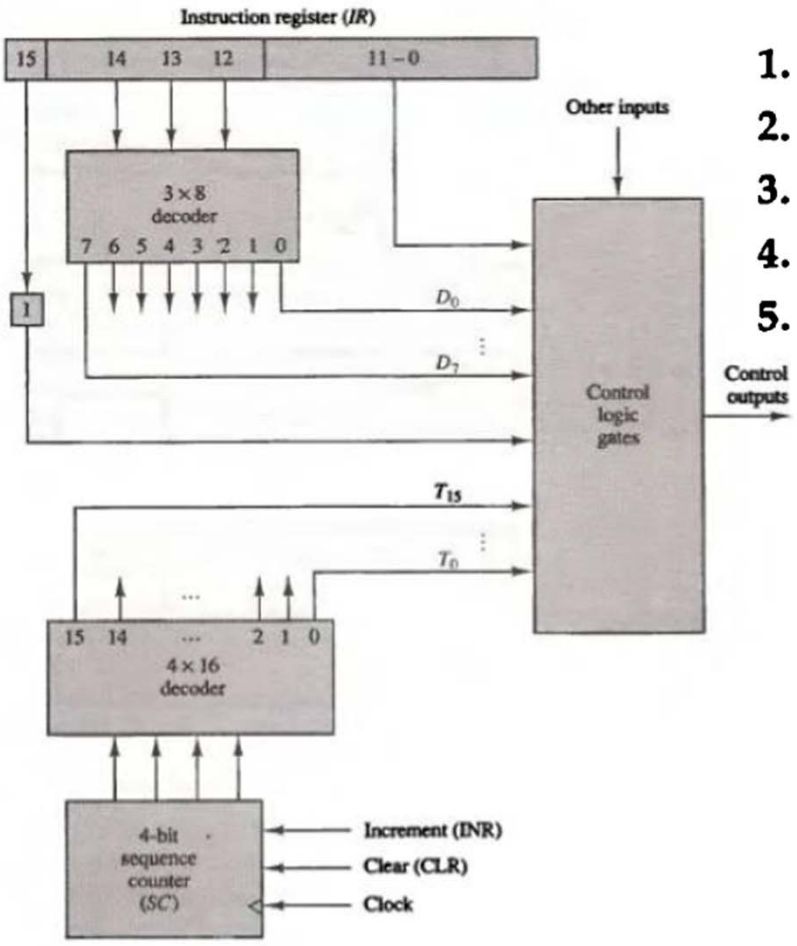
مرور بر دستورات
ورودی خروجی

Input-output:

$D_7IT_3 = p$ (common to all input–output instructions)
$IR(i) = B_i$ $(i = 6, 7, 8, 9, 10, 11)$

	p:	$SC \leftarrow 0$
INP	pB_{11}:	$AC(0\text{–}7) \leftarrow INPR$, $FGI \leftarrow 0$
OUT	pB_{10}:	$OUTR \leftarrow AC(0\text{–}7)$, $FGO \leftarrow 0$
SKI	pB_9:	If $(FGI = 1)$ then $(PC \leftarrow PC + 1)$
SKO	pB_8:	If $(FGO = 1)$ then $(PC \leftarrow PC + 1)$
ION	pB_7:	$IEN \leftarrow 1$
IOF	pB_6:	$IEN \leftarrow 0$

واحد کنترل



1. Signals to control the inputs of the nine registers
2. Signals to control the read and write inputs of memory
3. Signals to set, clear, or complement the flip-flops
4. Signals for S_2, S_1, and S_0 to select a register for the bus
5. Signals to control the *AC* adder and logic circuit

کنترل ثبات ها و حافظه

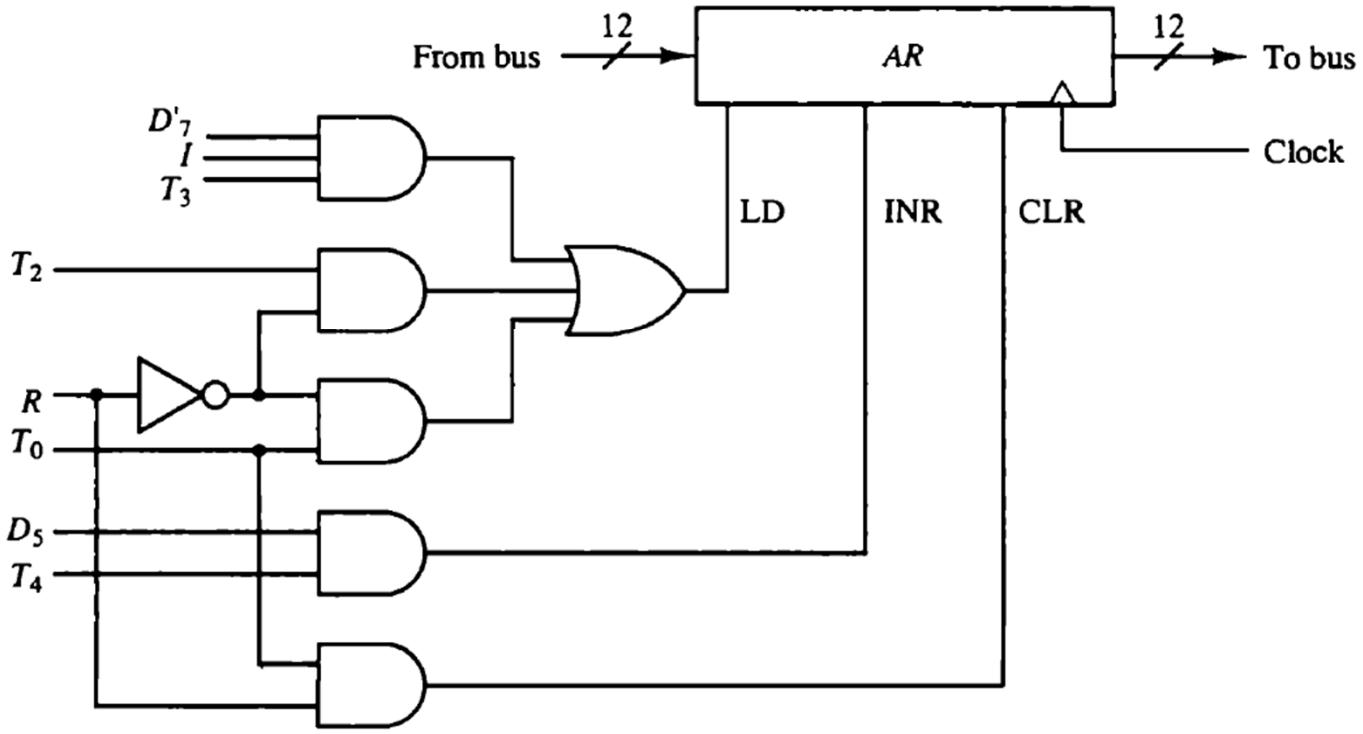
$$
\begin{aligned}
R'T_0: &\quad AR \leftarrow PC \\
R'T_2: &\quad AR \leftarrow IR(0\text{–}11) \\
D_7'IT_3: &\quad AR \leftarrow M[AR] \\
RT_0: &\quad AR \leftarrow 0 \\
D_5T_4: &\quad AR \leftarrow AR + 1
\end{aligned}
$$

$$
\begin{aligned}
\text{LD}(AR) &= R'T_0 + R'T_2 + D_7'IT_3 \\
\text{CLR}(AR) &= RT_0 \\
\text{INR}(AR) &= D_5T_4
\end{aligned}
$$

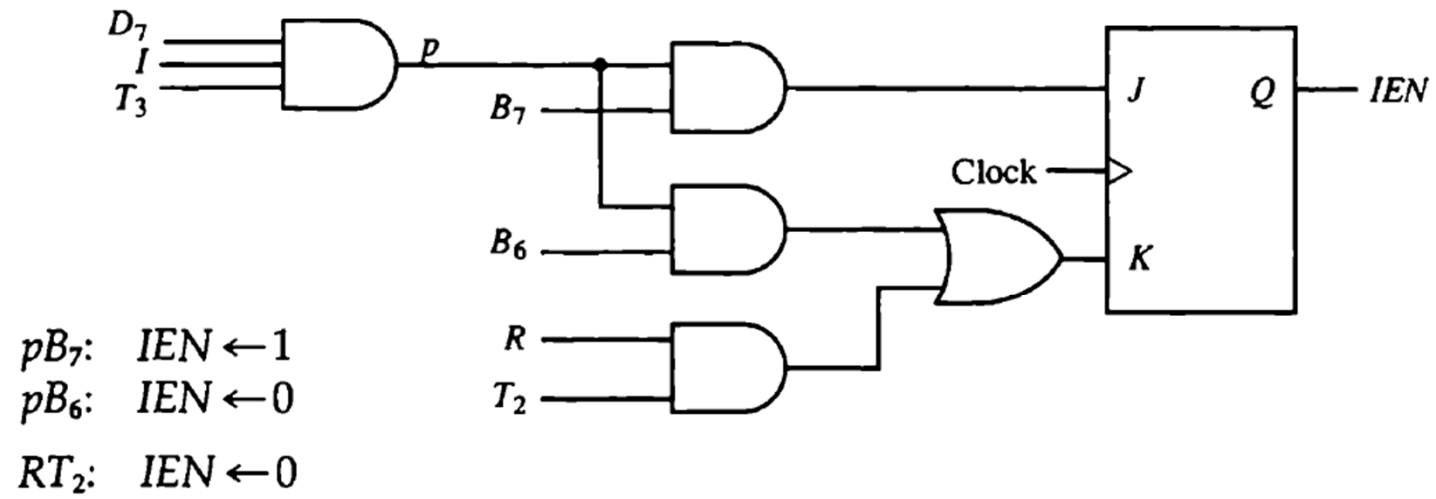
$$
\text{Read} = R'T_1 + D_7'IT_3 + (D_0 + D_1 + D_2 + D_6)T_4
$$

طراحی منطقی AR

Control gates associated with AR.



کنترل فلیپ فلاپ IEN



pB_7: $IEN \leftarrow 1$
pB_6: $IEN \leftarrow 0$
RT_2: $IEN \leftarrow 0$

Control inputs for *IEN*.

طراحی گذرگاه مشترک

TABLE 5-7 Encoder for Bus Selection Circuit

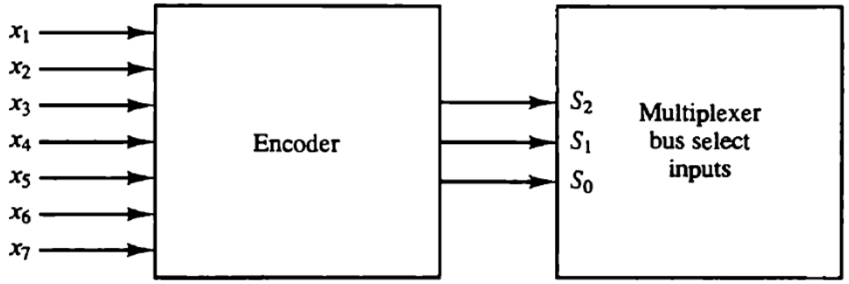
Inputs							Outputs			Register selected for bus
x_1	x_2	x_3	x_4	x_5	x_6	x_7	S_2	S_1	S_0	
0	0	0	0	0	0	0	0	0	0	None
1	0	0	0	0	0	0	0	0	1	*AR*
0	1	0	0	0	0	0	0	1	0	*PC*
0	0	1	0	0	0	0	0	1	1	*DR*
0	0	0	1	0	0	0	1	0	0	*AC*
0	0	0	0	1	0	0	1	0	1	*IR*
0	0	0	0	0	1	0	1	1	0	*TR*
0	0	0	0	0	0	1	1	1	1	Memory

$$S_0 = x_1 + x_3 + x_5 + x_7$$
$$S_1 = x_2 + x_3 + x_6 + x_7$$
$$S_2 = x_4 + x_5 + x_6 + x_7$$

D_4T_4: $PC \leftarrow AR$
D_5T_5: $PC \leftarrow AR$

$$x_1 = D_4T_4 + D_5T_5$$

$$x_7 = R'T_1 + D_7'IT_3 + (D_0 + D_1 + D_2 + D_6)T_4$$

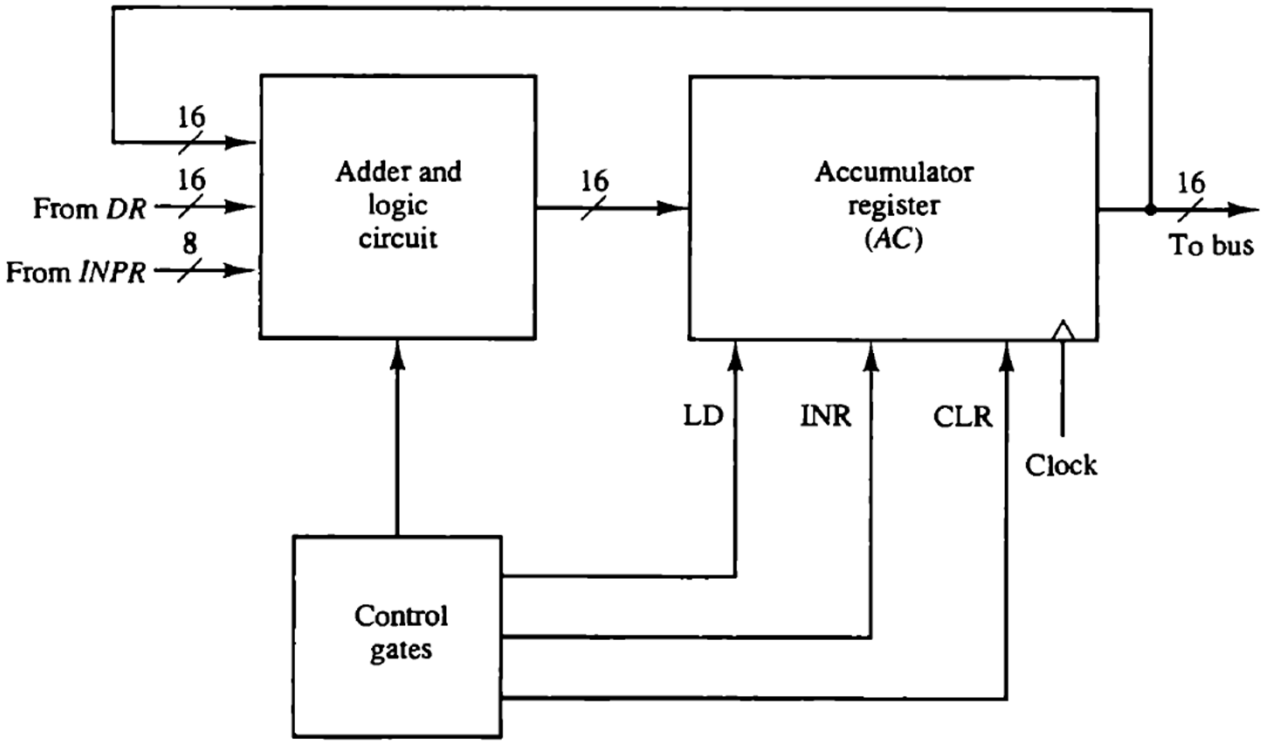


طراحی AC (آکومولاتور)

D_0T_5:	$AC \leftarrow AC \wedge DR$	AND with *DR*
D_1T_5:	$AC \leftarrow AC + DR$	Add with *DR*
D_2T_5:	$AC \leftarrow DR$	Transfer from *DR*
pB_{11}:	$AC(0\text{–}7) \leftarrow INPR$	Transfer from *INPR*
rB_9:	$AC \leftarrow \overline{AC}$	Complement
rB_7:	$AC \leftarrow \text{shr } AC, \quad AC(15) \leftarrow E$	Shift right
rB_6:	$AC \leftarrow \text{shl } AC, \quad AC(0) \leftarrow E$	Shift left
rB_{11}:	$AC \leftarrow 0$	Clear
rB_5:	$AC \leftarrow AC + 1$	Increment

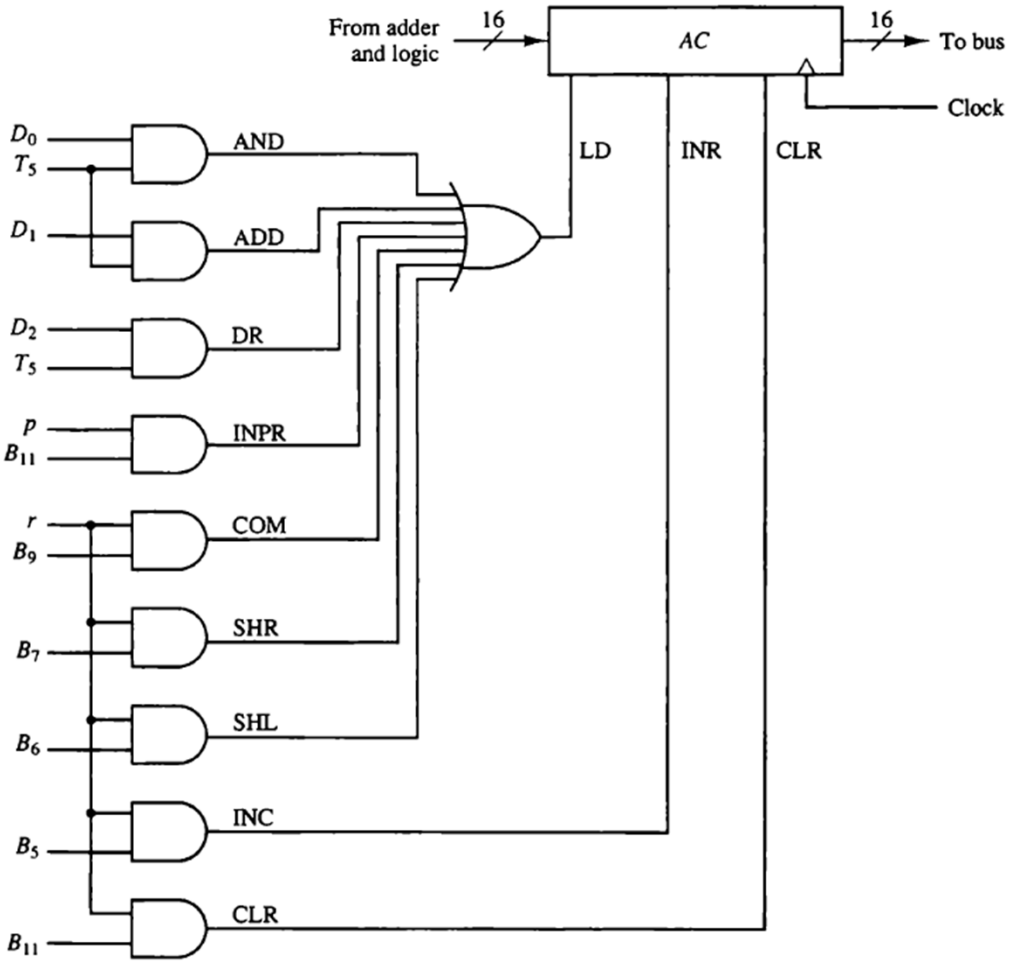
مدار کنترل آکومولاتور و محاسبه و منطق

Circuits associated with AC.



مدار کنترل آکومولاتور

Gate structure for controlling the LD, INR, and CLR of AC.



یک طبقه از مدار محاسبه و منطق