

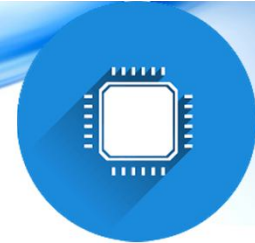


معماری کامپیوتر

جلسه هفتم: بخش سوم طراحی کامپیوتر پایه
فصل پنجم کتاب موریس مانو - طراحی و ساختار کامپیوتر پایه
دستورات مراجعه به حافظه تا ابتدای وقفه

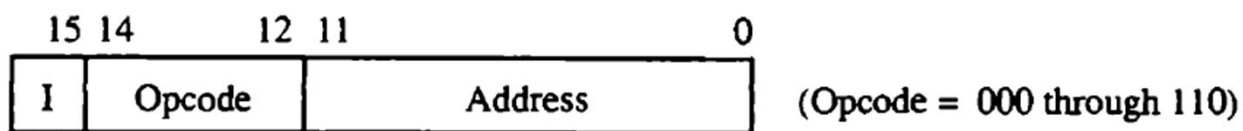


- دستورات مراجعه به حافظه
 - یادآوری فرمت دستورات
 - جدول دستورات مراجعه به حافظه
 - دستورات AND و ADD
 - دستورات بارگزاری و ذخیره ACC
 - دستورات پرش شرطی و غیر شرطی
 - فلوچارت دستورات مراجعه به حافظه
- پیکربندی ورودی خروجی
- دستورات ورودی و خروجی

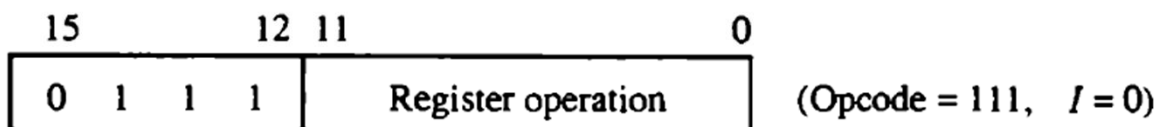


یادآوردی : دستورات مراجعه به حافظه

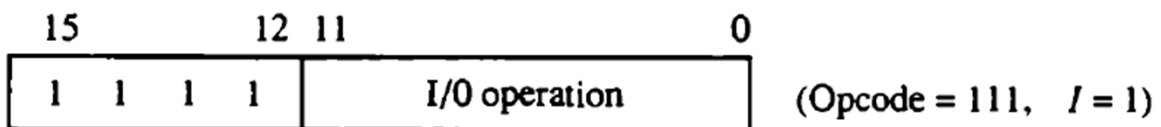
Figure 5-5 Basic computer instruction formats.



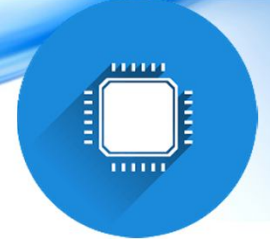
(a) Memory – reference instruction



(b) Register – reference instruction



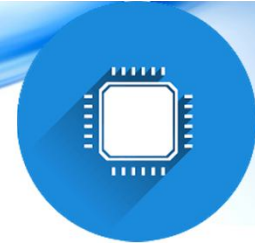
(c) Input – output instruction



جدول دستورات مراجعه به حافظه

TABLE 5-4 Memory-Reference Instructions

| Symbol | Operation decoder | Symbolic description |
|--------|-------------------|---|
| AND | D_0 | $AC \leftarrow AC \wedge M[AR]$ |
| ADD | D_1 | $AC \leftarrow AC + M[AR], E \leftarrow C_{out}$ |
| LDA | D_2 | $AC \leftarrow M[AR]$ |
| STA | D_3 | $M[AR] \leftarrow AC$ |
| BUN | D_4 | $PC \leftarrow AR$ |
| BSA | D_5 | $M[AR] \leftarrow PC, PC \leftarrow AR + 1$ |
| ISZ | D_6 | $M[AR] \leftarrow M[AR] + 1,$ If $M[AR] + 1 = 0$ then $PC \leftarrow PC + 1$ |



دستورات AND و ADD

AND to AC

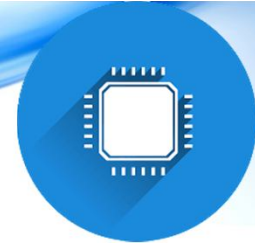
$D_0T_4: DR \leftarrow M[AR]$

$D_0T_5: AC \leftarrow AC \wedge DR, SC \leftarrow 0$

ADD to AC

$D_1T_4: DR \leftarrow M[AR]$

$D_1T_5: AC \leftarrow AC + DR, E \leftarrow C_{out}, SC \leftarrow 0$



دستورات بارگزاری و ذخیره سازی ACC

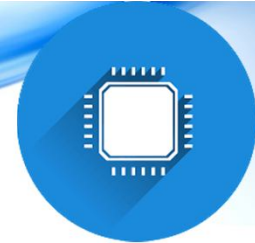
LDA: Load to AC

$D_2T_4: DR \leftarrow M[AR]$

$D_2T_5: AC \leftarrow DR, SC \leftarrow 0$

STA: Store AC

$D_3T_4: M[AR] \leftarrow AC, SC \leftarrow 0$



دستورات بارگزاری و ذخیره سازی ACC

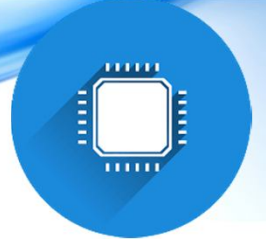
LDA: Load to AC

$D_2T_4: DR \leftarrow M[AR]$

$D_2T_5: AC \leftarrow DR, SC \leftarrow 0$

STA: Store AC

$D_3T_4: M[AR] \leftarrow AC, SC \leftarrow 0$



دستورات پرش غیر شرطی و شرطی

BUN: Branch Unconditionally

program branches (or jumps) unconditionally.

$$D_4T_4: PC \leftarrow AR, SC \leftarrow 0$$

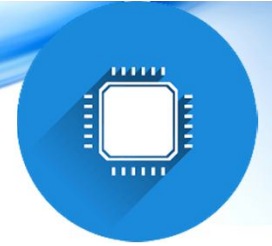
BSA: Branch and Save Return Address

subroutine or procedure.

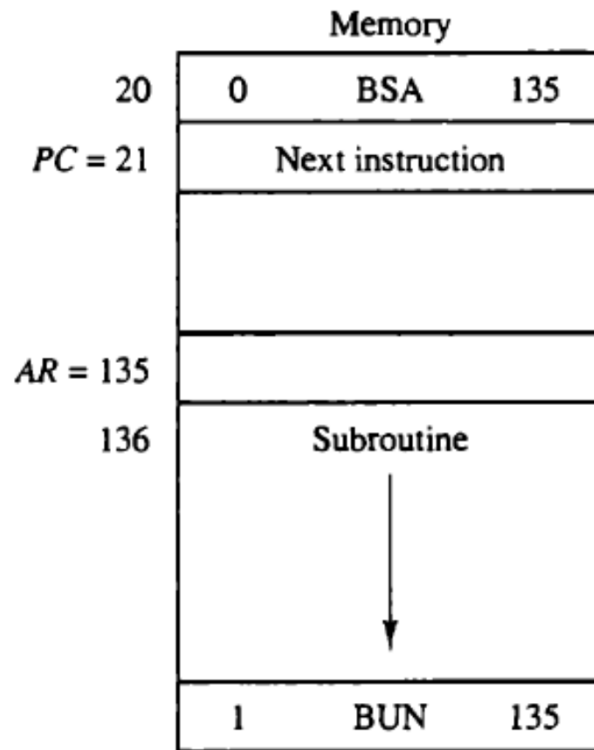
$$M[AR] \leftarrow PC, PC \leftarrow AR + 1$$

$$D_5T_4: M[AR] \leftarrow PC, AR \leftarrow AR + 1$$

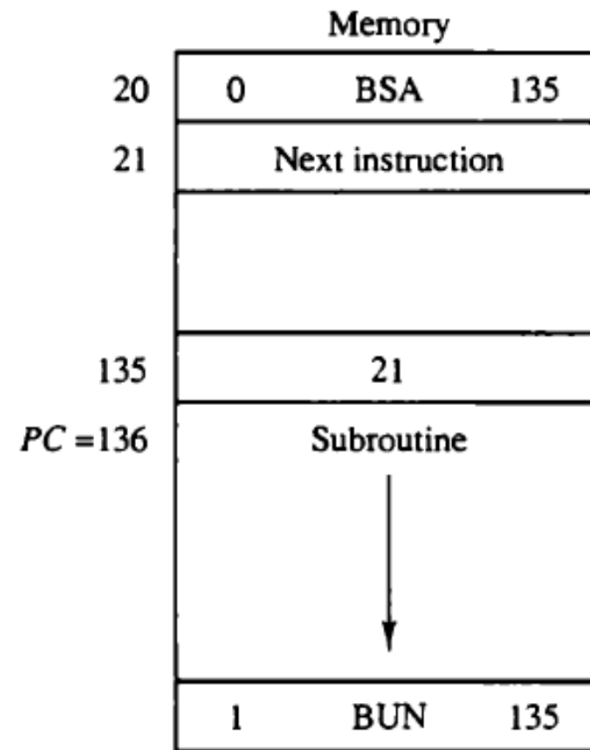
$$D_5T_5: PC \leftarrow AR, SC \leftarrow 0$$



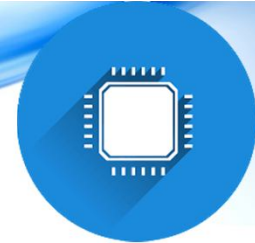
مثال از دستور BSA



(a) Memory, PC , and AR at time T_4



(b) Memory and PC after execution



دستور افزایش و پرش در صورت صفر شدن

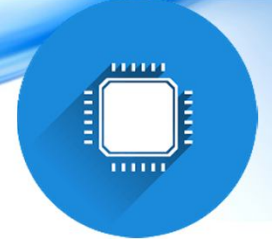
ISZ: Increment and Skip if Zero

$D_6T_4: DR \leftarrow M[AR]$

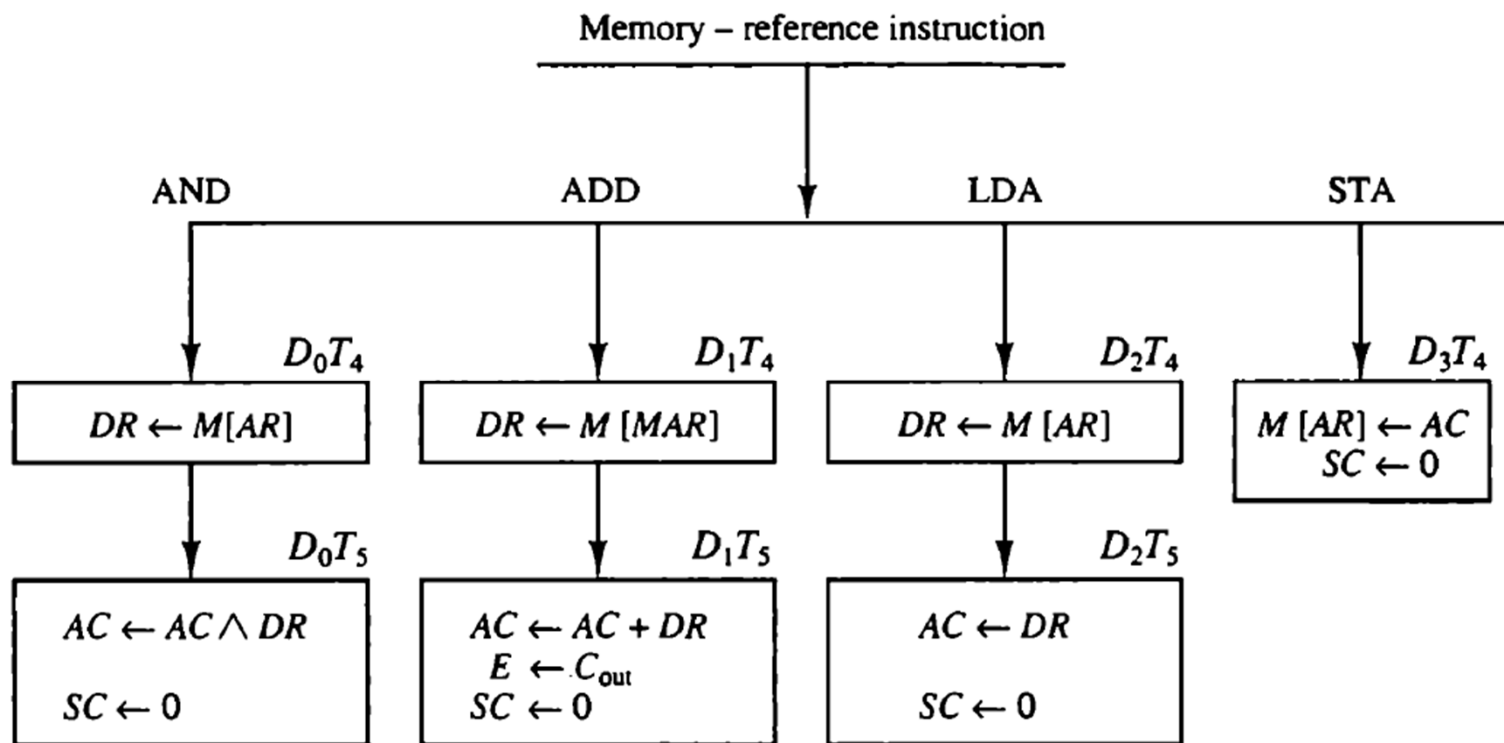
$D_6T_5: DR \leftarrow DR + 1$

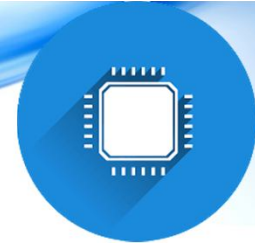
$D_6T_6: M[AR] \leftarrow DR, \text{ if } (DR = 0)$

$\text{then } (PC \leftarrow PC + 1), SC \leftarrow 0$

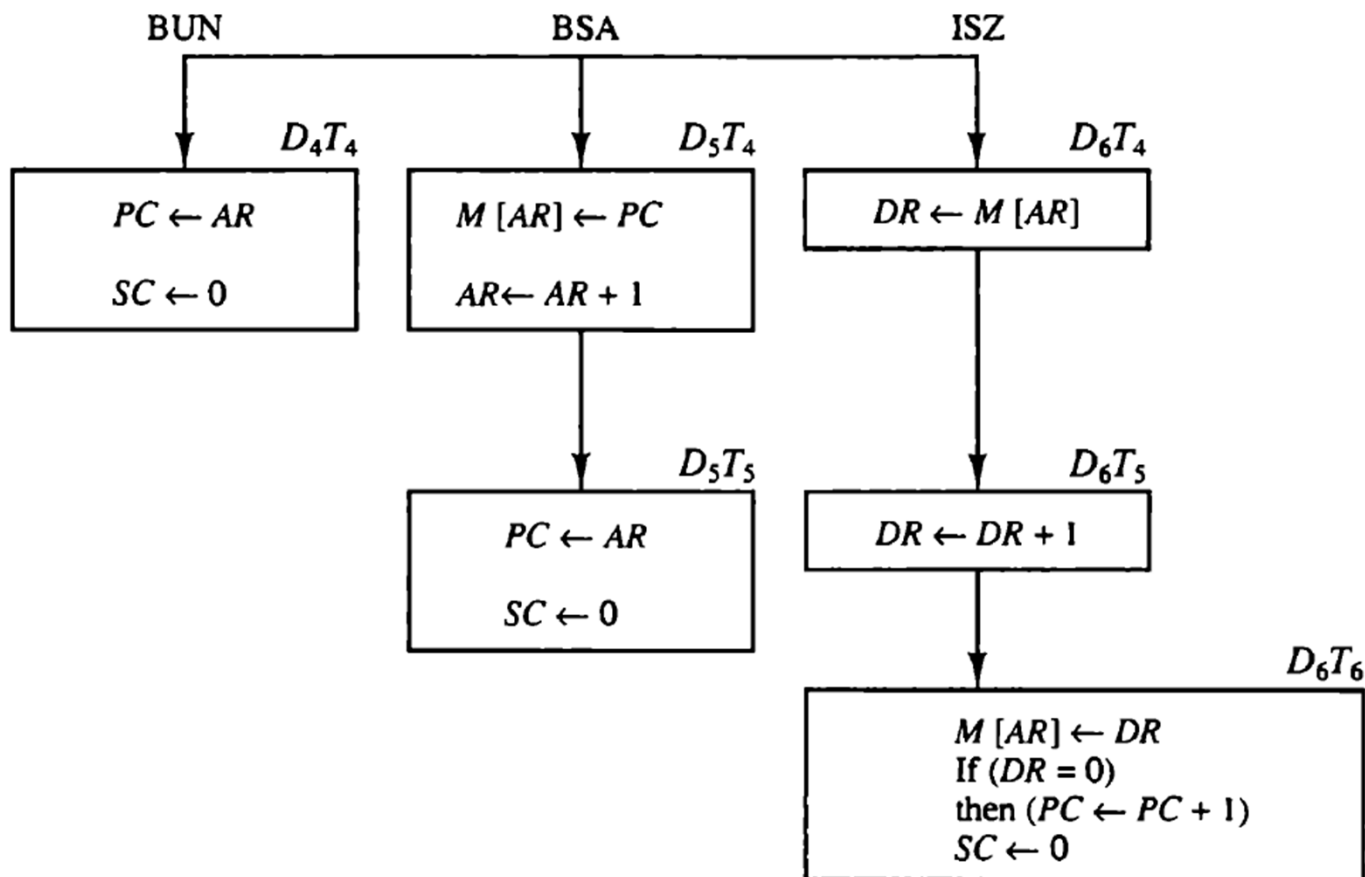


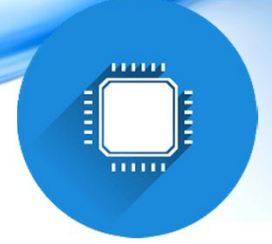
فلوچارت دستورات مراجعه به حافظه (بخش اول)





فلوچارت دستورات مراجعه به حافظه (بخش دوم)





پیکربندی ورودی خروجی

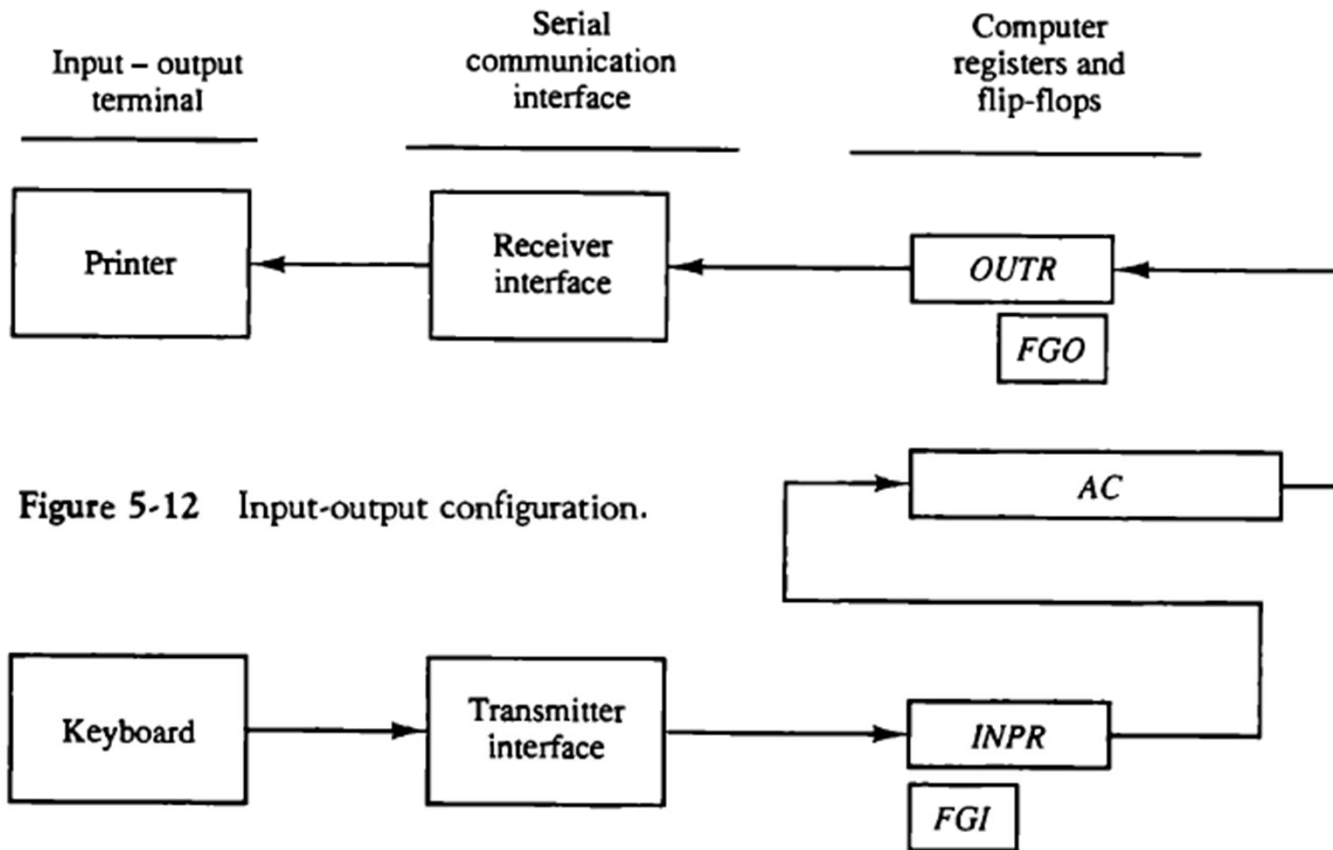
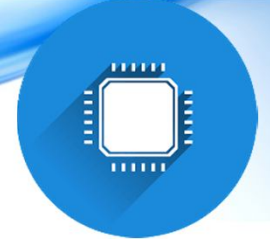


Figure 5-12 Input-output configuration.



جدول دستورات ورودی خروجی

TABLE 5-5 Input-Output Instructions

| | | | |
|--|-------------|--|----------------------|
| $D_7IT_3 = p$ (common to all input-output instructions) | | | |
| $IR(i) = B_i$ [bit in $IR(6-11)$ that specifies the instruction] | | | |
| | p : | $SC \leftarrow 0$ | Clear SC |
| INP | pB_{11} : | $AC(0-7) \leftarrow INPR, FGI \leftarrow 0$ | Input character |
| OUT | pB_{10} : | $OUTR \leftarrow AC(0-7), FGO \leftarrow 0$ | Output character |
| SKI | pB_9 : | If ($FGI = 1$) then ($PC \leftarrow PC + 1$) | Skip on input flag |
| SKO | pB_8 : | If ($FGO = 1$) then ($PC \leftarrow PC + 1$) | Skip on output flag |
| ION | pB_7 : | $IEN \leftarrow 1$ | Interrupt enable on |
| IOF | pB_6 : | $IEN \leftarrow 0$ | Interrupt enable off |
