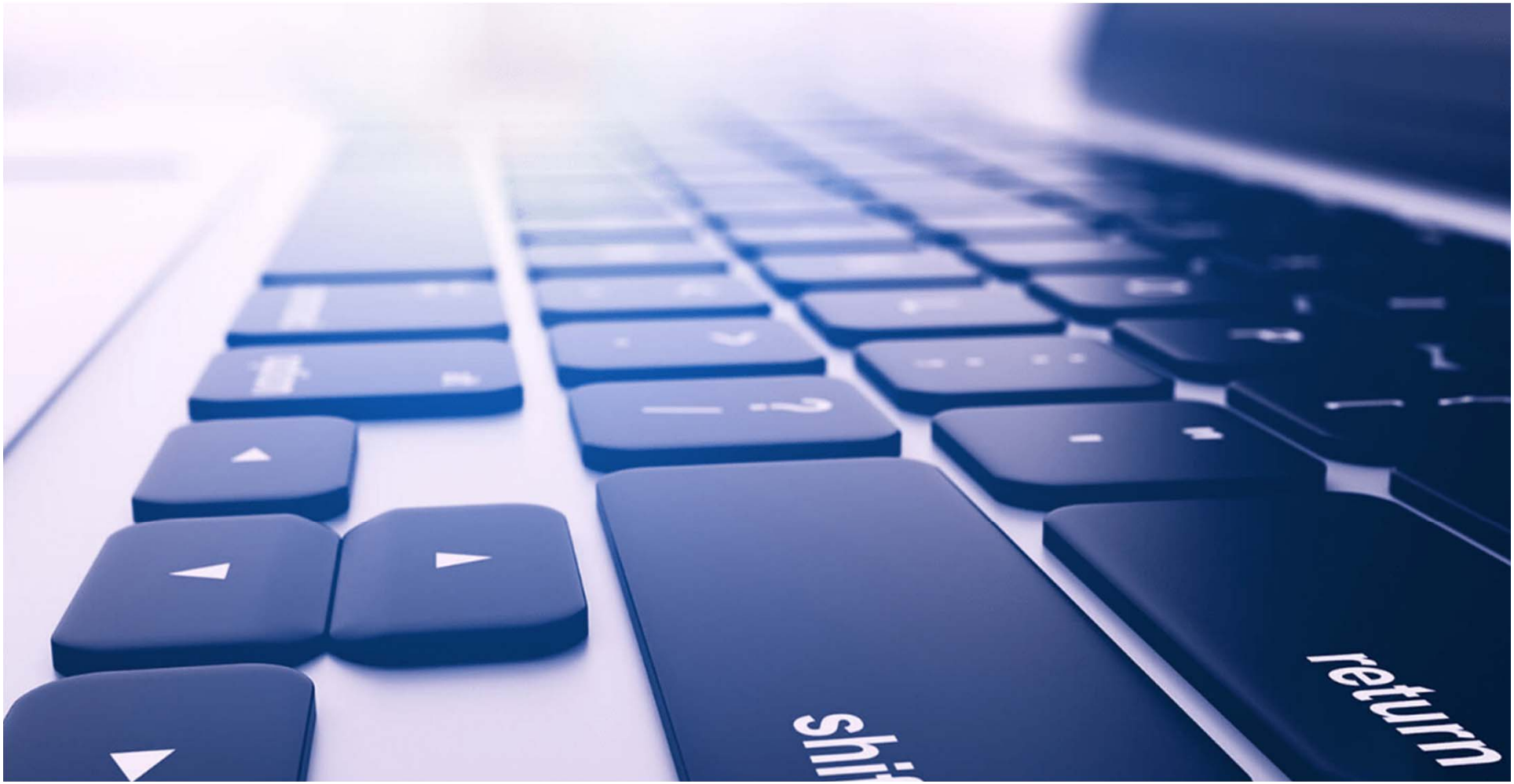

معماری کامپیوتر

جلسه ششم: بخش دوم طراحی کامپیوتر پایه

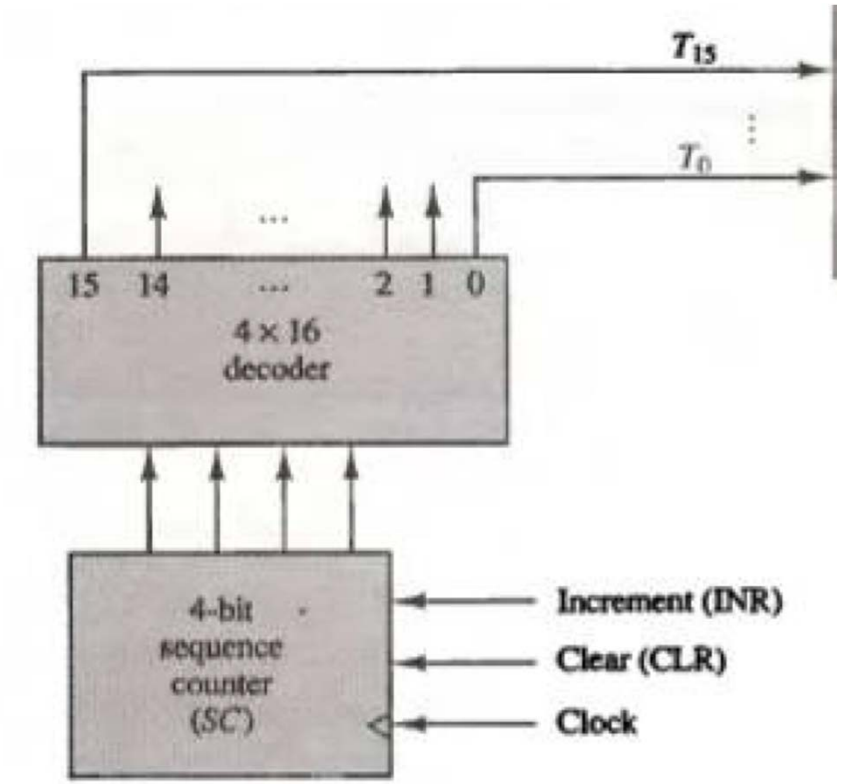
فصل پنجم کتاب موریس مانو – طراحی و ساختار کامپیوتر پایه

تا سر دستورات مراجعه به حافظه

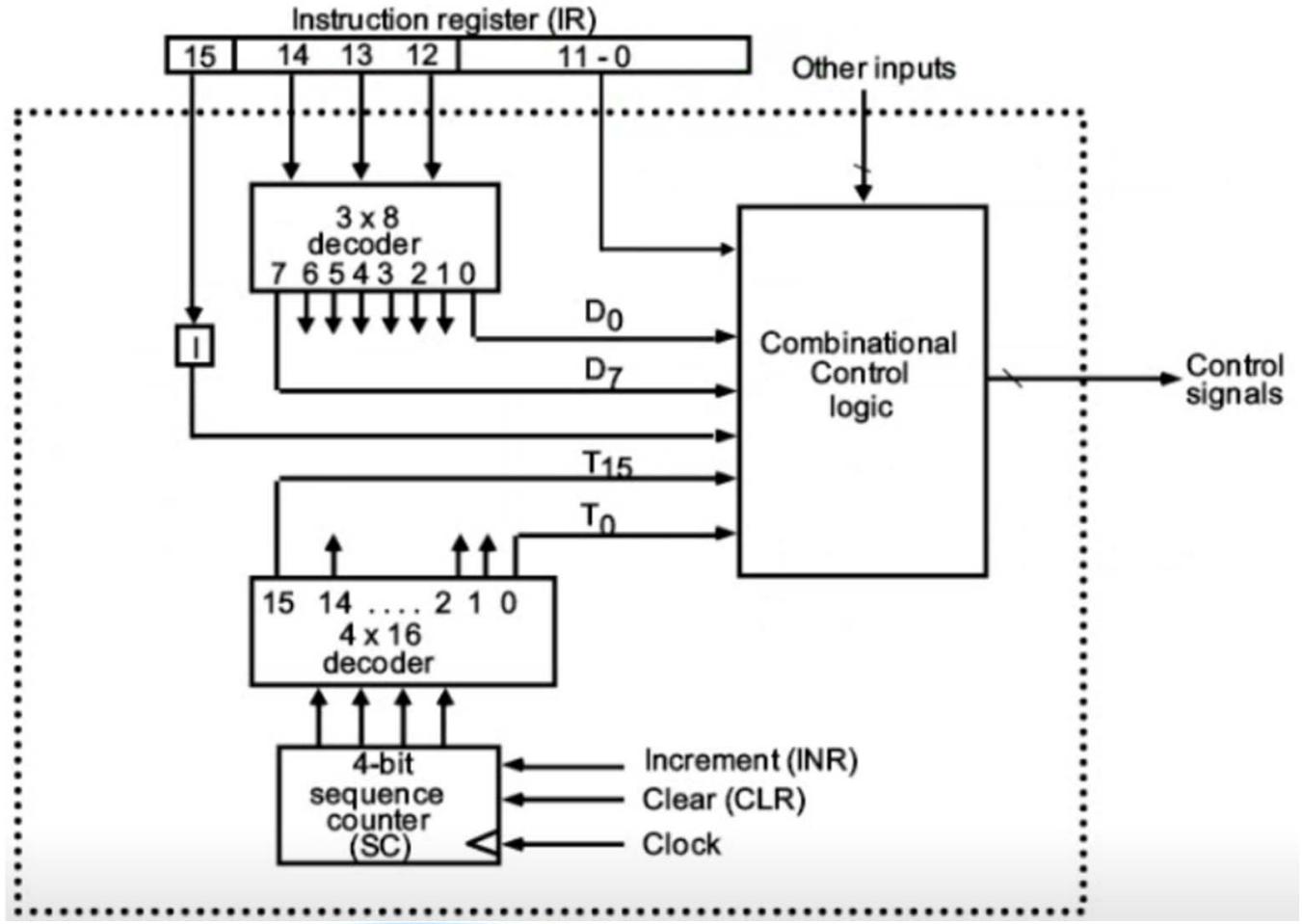


- زمانبندی
- ساختار واحـــــد کنترل
- سیکل دستورالعمل
  - واکشی
  - رمزگشایی
- دستورات مراجعه به ثبات ها

شمارنده ترتیب SC (Sequence Counter)
مولد سیگنال های زمانبندی T0 الی T15



ساختار واحد کنترل



سیگنال های زمانبندی

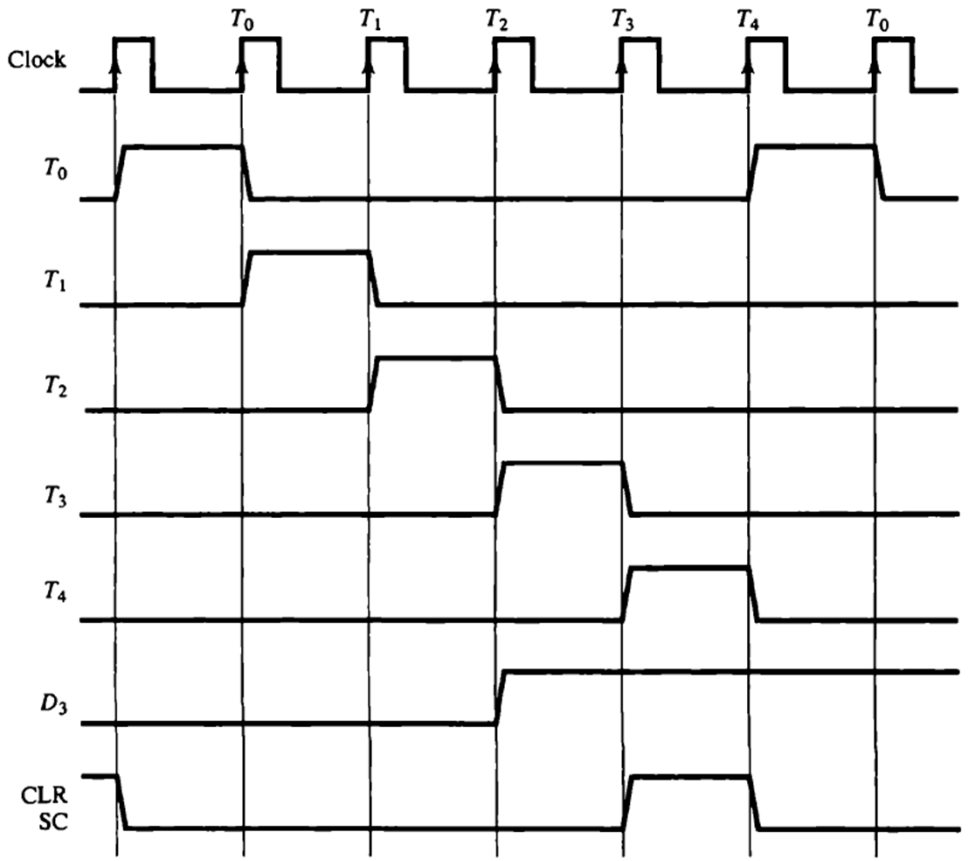


Figure 5-7 Example of control timing signals.

سیکل دستورالعمل

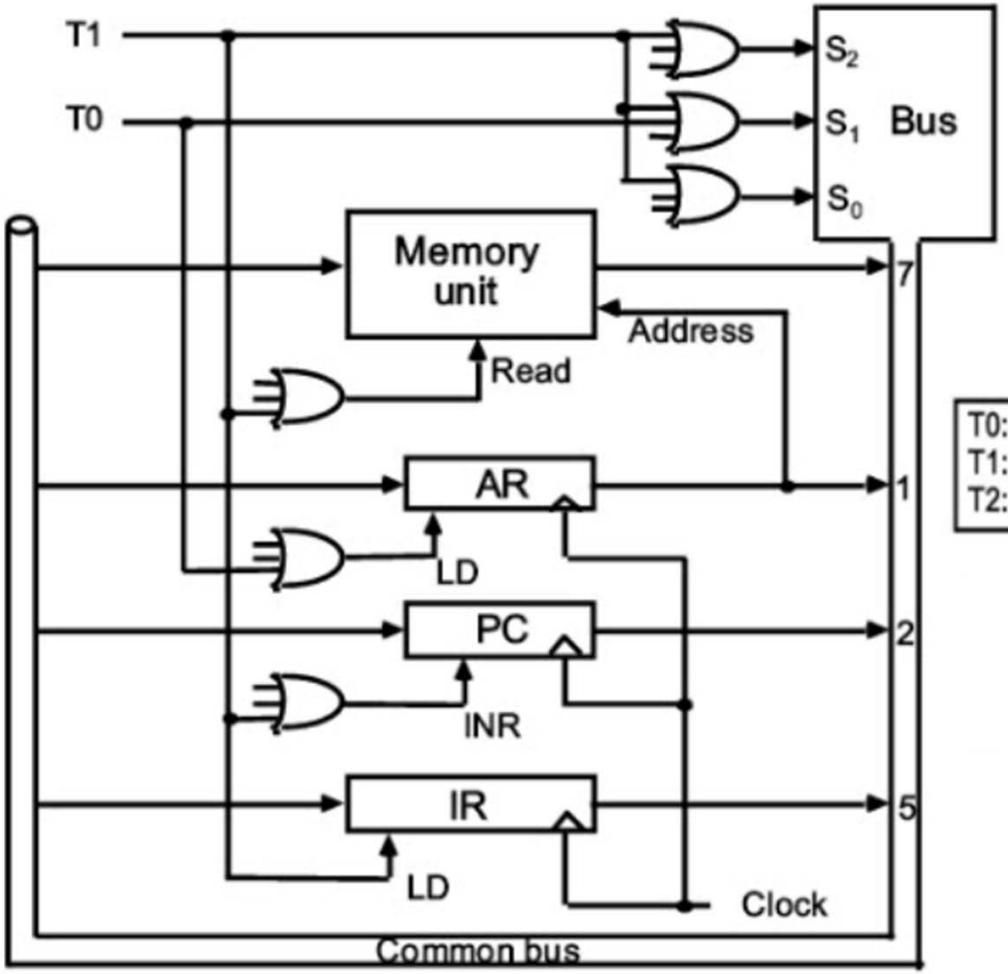
Instruction Cycle

1. Fetch an instruction from memory.
2. Decode the instruction.
3. Read the effective address from memory if the instruction has an indirect address.
4. Execute the instruction.

واکشی و دیکد (رمزگشایی)

Fetch and Decode

T_0: $AR \leftarrow PC$
T_1: $IR \leftarrow M[AR]$, $PC \leftarrow PC + 1$
T_2: $D_0, \ldots, D_7 \leftarrow$ Decode $IR(12\text{–}14)$, $AR \leftarrow IR(0\text{–}11)$, $I \leftarrow IR(15)$



انتقال بین ثبات ها در فاز واکشی

T0: AR ← PC ($S_0S_1S_2$=010, T0=1)
T1: IR ← M [AR], PC ← PC + 1 (S0S1S2=111, T1=1)
T2: D0, . . . , D7 ← Decode IR(12-14), AR ← IR(0-11), I ← IR(15)

زمانبندی T0 و T1

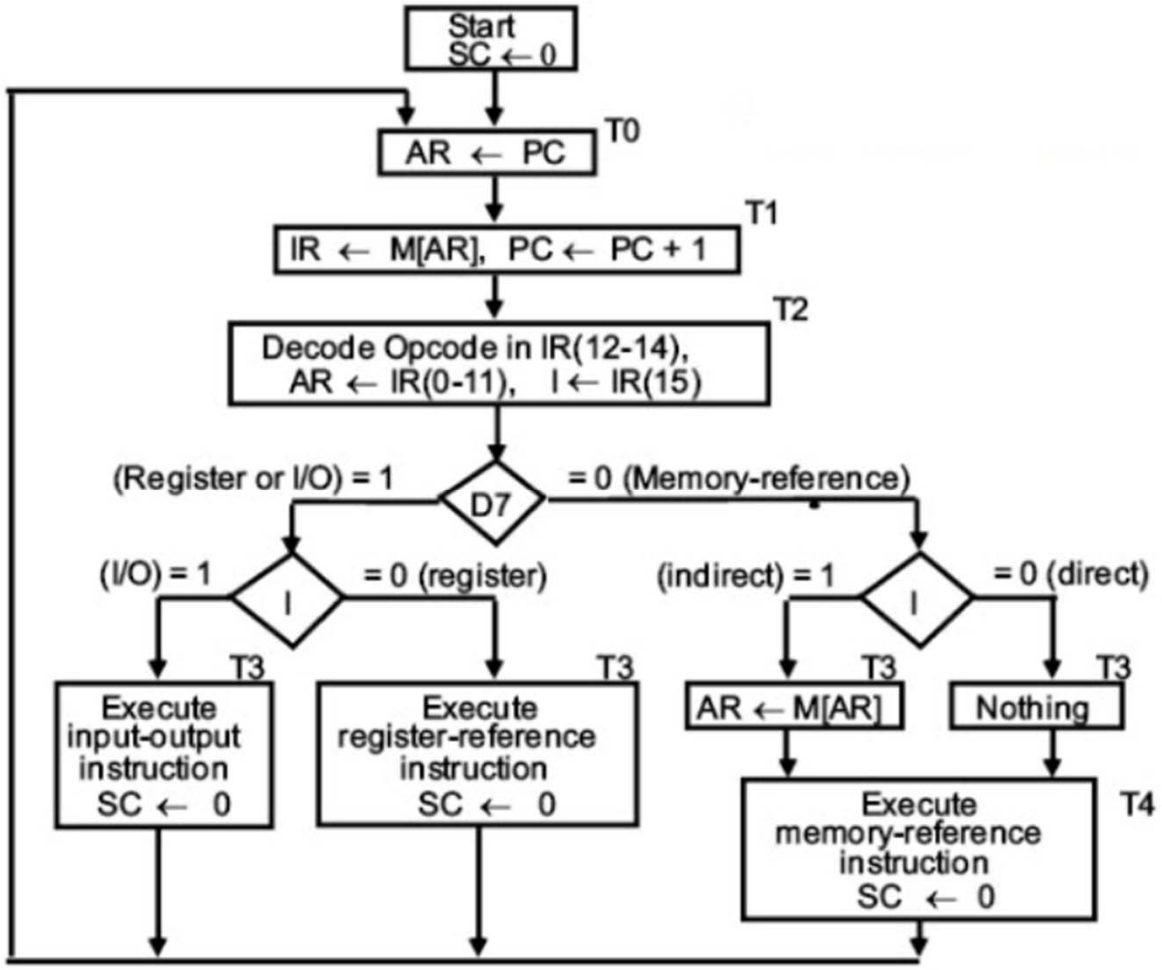
T0

1. Place the content of *PC* onto the bus by making the bus selection inputs $S_2S_1S_0$ equal to 010.
2. Transfer the content of the bus to *AR* by enabling the LD input of *AR*.

T1

1. Enable the read input of memory.
2. Place the content of memory onto the bus by making $S_2S_1S_0 = 111$.
3. Transfer the content of the bus to *IR* by enabling the LD input of *IR*.
4. Increment *PC* by enabling the INR input of *PC*.

فلوچارت سیکل دستورالعمل



چهار حالت مختلف دستورات

$D_7' IT_3$: $AR \leftarrow M[AR]$

$D_7' I'T_3$: Nothing

$D_7 I'T_3$: Execute a register-reference instruction

$D_7 IT_3$: Execute an input–output instruction

دستورات مراجعه به ثبات ها

$D_7I'T_3$ symbol r

$$D_7I'T_3B_{11} = rB_{11}.$$

CLA code 7800

0111 1000 0000 0000

The AC is positive when the sign bit in $AC(15) = 0$, it is negative when $AC(15) = 1$

جدول دستورات مراجعه به ثبات ها

TABLE 5-3 Execution of Register-Reference Instructions

$D_7I'T_3 = r$ (common to all register-reference instructions)
$IR(i) = B_i$ [bit in $IR(0–11)$ that specifies the operation]

	r:	$SC \leftarrow 0$	Clear SC
CLA	rB_{11}:	$AC \leftarrow 0$	Clear AC
CLE	rB_{10}:	$E \leftarrow 0$	Clear E
CMA	rB_9:	$AC \leftarrow \overline{AC}$	Complement AC
CME	rB_8:	$E \leftarrow \overline{E}$	Complement E
CIR	rB_7:	$AC \leftarrow \text{shr } AC,\ AC(15) \leftarrow E,\ E \leftarrow AC(0)$	Circulate right
CIL	rB_6:	$AC \leftarrow \text{shl } AC,\ AC(0) \leftarrow E,\ E \leftarrow AC(15)$	Circulate left
INC	rB_5:	$AC \leftarrow AC + 1$	Increment AC
SPA	rB_4:	If $(AC(15) = 0)$ then $(PC \leftarrow PC + 1)$	Skip if positive
SNA	rB_3:	If $(AC(15) = 1)$ then $(PC \leftarrow PC + 1)$	Skip if negative
SZA	rB_2:	If $(AC = 0)$ then $PC \leftarrow PC + 1$	Skip if AC zero
SZE	rB_1:	If $(E = 0)$ then $(PC \leftarrow PC + 1)$	Skip if E zero
HLT	rB_0:	$S \leftarrow 0$ (S is a start–stop flip-flop)	Halt computer